

USING SEQUENTIAL DECOMPOSITION ALGORITHMS ON ELECTRONIC CIRCUITS

Valentina Kukenska, Matyo Dinev, Petar Minev, Ilian Varbov

Technical University of Gabrovo, Bulgaria

vally@tugab.bg; mat_s@abv.bg; pminev@tugab.bg;
ivarbov@tugab.bg

ПРИЛОЖЕНИЕ НА ПОСЛЕДОВАТЕЛНИ ДЕКОМПОЗИЦИОННИ АЛГОРИТМИ ВЪРХУ ЕЛЕКТРОННИ СХЕМИ

Abstract: *The subject of consideration in this paper is the decomposition of electronic circuits. Their structure is represented by graph models. Sequential algorithms are used for partitioning. Functionally separated modules are obtained. Conclusions are made for the using of the decomposition algorithms.*

Keywords: *Decomposition Algorithms; Electronic Circuits.*

Въведение

Ефективното проектиране на всяка схема, състояща се от множество компоненти, не е възможно без нейната декомпозиция на подсхеми. Това разделяне позволява подсхемите да се проектират независимо и едновременно, което води до намаляване на времето за разработка, а в повечето случаи и до необходимост от по-малко ресурси. Обикновено разделянето на схемите се реализира чрез отделянето в тях на функционално обособени блокове (части), между които има минимален брой връзки. Ако обектът на проектиране е електронна схема, то връзките между отделните блокове се задават чрез техния списък, който еднозначно определя свързаността на частите в схемата [3], [4], [5].

От друга страна всяка електронна схема се състои от определен брой елементи и връзки между тях. Това позволява тяхната структура да се представи чрез граф на базата на следната аналогия. На множеството на възлите на схемата се съпоставя множеството на върховете V на графа $G(V,E)$, а на множеството на елементите на схемата - множеството на ребрата E . Така задачата за декомпозиране на схемата на

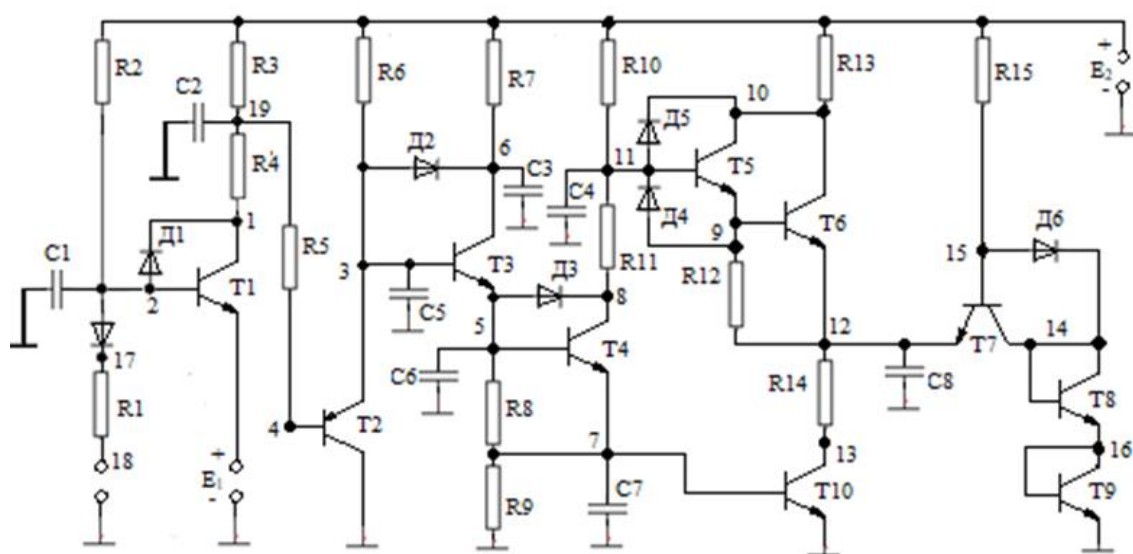
подсхеми се привежда към задача за разделяне на графа G на слабосвързани помежду си подграфи $G_1, G_2, G_3, \dots, G_N$ [3], [4]. Основната особеност при решаването на такава задача се явява избора на критерий за разделяне (декомпозиране). Най-често използваните критерии за решаване на такива задачи са: минимална свързаност на подсхемите; минимален брой подсхеми; определен брой елементи в подсхемите.

Обект на настоящия доклад е декомпозицията на електронните схеми, чиято структура е представена чрез графови модели. За разделяне на схемите на функционално обособени модули се използват последовател алгоритми за декомпозиция. На базата на получените резултати са направени изводи за приложението на използваните алгоритми.

Изложение

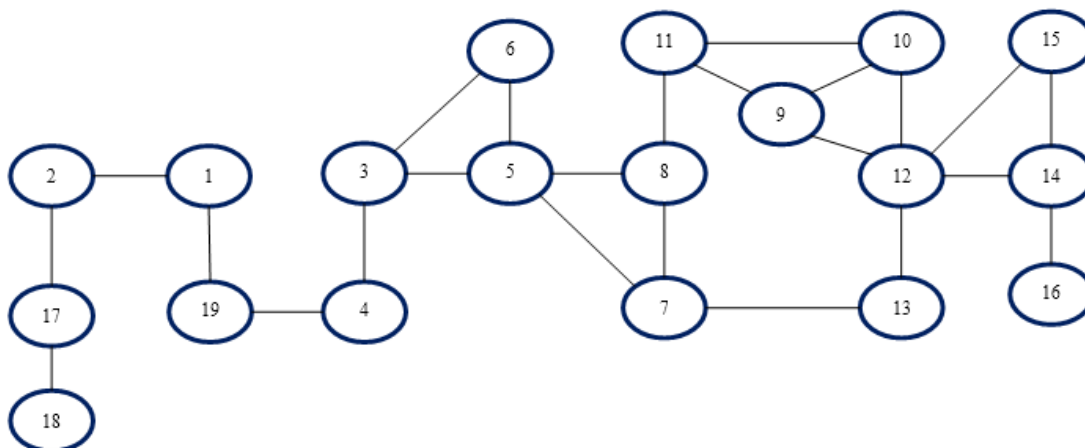
Разделяне на електронна схема на адресен формирова̀тел.

На *фиг. 1* е представена принципна електронна схема на адресен формирова̀тел. За по-лесното моделиране и изследване е удачно, тя да се раздели на обособени логически блокове.



Фигура 1. Ел. схема на адресен формирова̀тел

За решаването на тази задача първоначално е построен топологичният граф $G(V,E)$ за схемата по предложената по-горе аналогия. От него са изключени паралелните връзки и базисният връх (връхът с най-голямо тегло). Така структурата на схемата за адресния формирова̀тел се представя като графов модел, показан на *фиг. 2*. Номерацията на върховете съответстват на номерацията на потенциалите в схемата.



Фигура 2. Графов модел отразяващ структурата на схемата на адресен формироваел

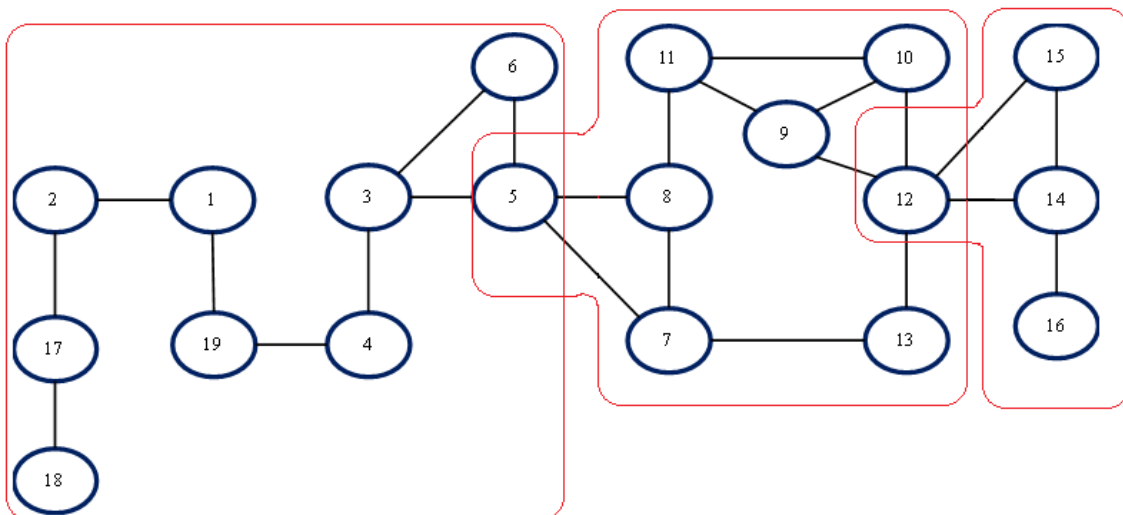
За разделянето на този графов модел се използват последователните алгоритми с припокриване и неприпокриване, разгледани в [2], [5], [6]. Те са реализирани като програмни приложения в средата на MATLAB, представена в [1]. С тях е решена поставената задача и получените резултати са представени на фиг. 3. Като за входните данни в G и R предварително са зададени вектор с върховете на графа и неговата матрица на съседство.

```

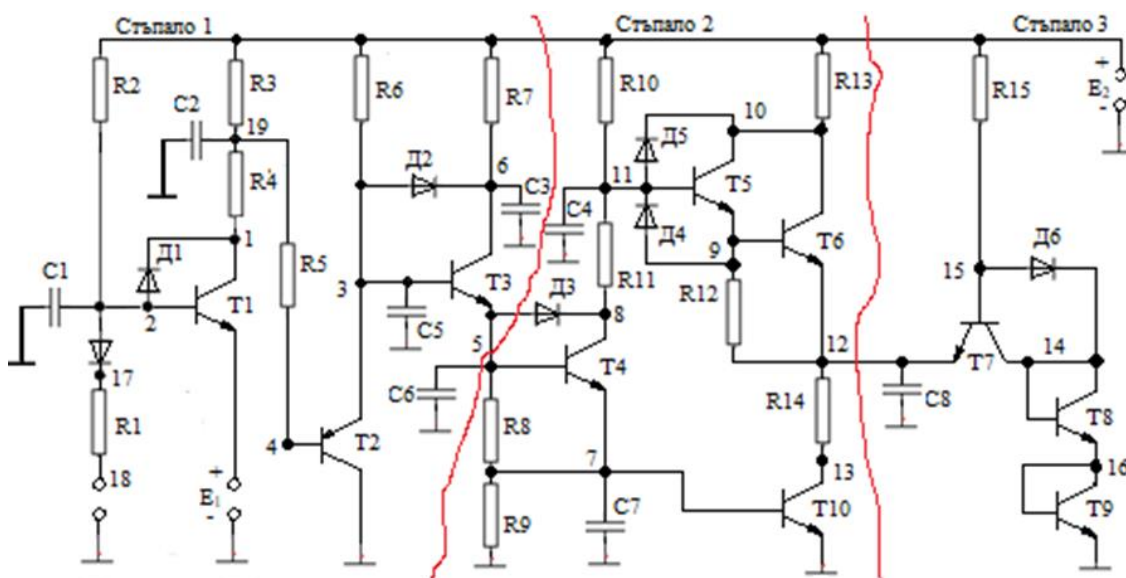
Command Window
>> pripokrivane
Графа има следните върхове: G = G
Матрицата на съседство за графа е: R =R
Общите върхове между подграфи G1 и G2 са: 12
Графа G1 съдържа следните върхове: 16 14 15 12
Общите върхове между подграфи G2 и G3 са: 5
Графа G2 съдържа следните върхове: 12 9 10 11 13 7 8 5
Графа G3 съдържа следните върхове: 5 6 3 4 19 1 2 17 18
Elapsed time is 0.075696 seconds.
>>
>> nepripokrivane
Графа има следните върхове: G = G
Матрицата на съседство за графа е: R =R
Введете максималния брой върхове за подграф: Mmax=10
Графа G1 съдържа следните върхове: 16 14 15 12 9 10 11 13 7 8
Външните върхове са: 5
Графа G2 съдържа следните върхове: 1 2 3 4 6 17 18 19
Elapsed time is 0.012879 seconds.
fx >>
    
```

Фигура 3. Резултат от разделянето на графовия модел

На фиг. 4. е показано графичното разделяне на графа спрямо алгоритъма с припокриване, а на фиг. 5. на схемата на адресния формироваел.



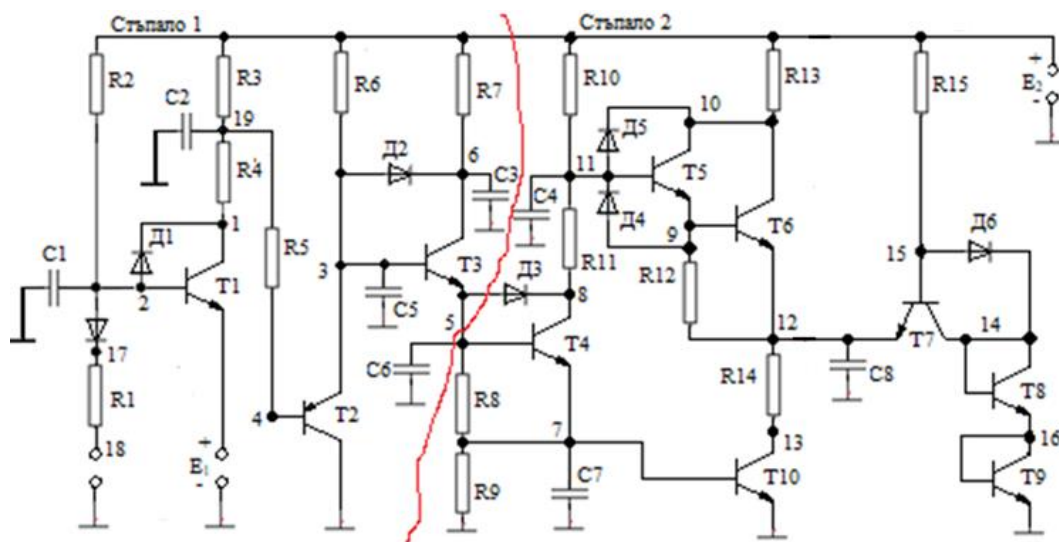
Фигура 4. Разделяне на графовия модел спрямо алгоритъма с припокриване



Фигура 5. Разделяне на схемата спрямо алгоритъма с припокриване

Схемата от фиг. 1. се разделя на три подсхеми, всяка от тях реализира отделни стъпала. Потенциал 5 се явява общ за стъпало 1 и 2. Той може да играе ролята на изход за стъпало 1 и вход за стъпало 2. По същата логика потенциал 12 се явява изходен за стъпало 2 и входен за стъпало 3.

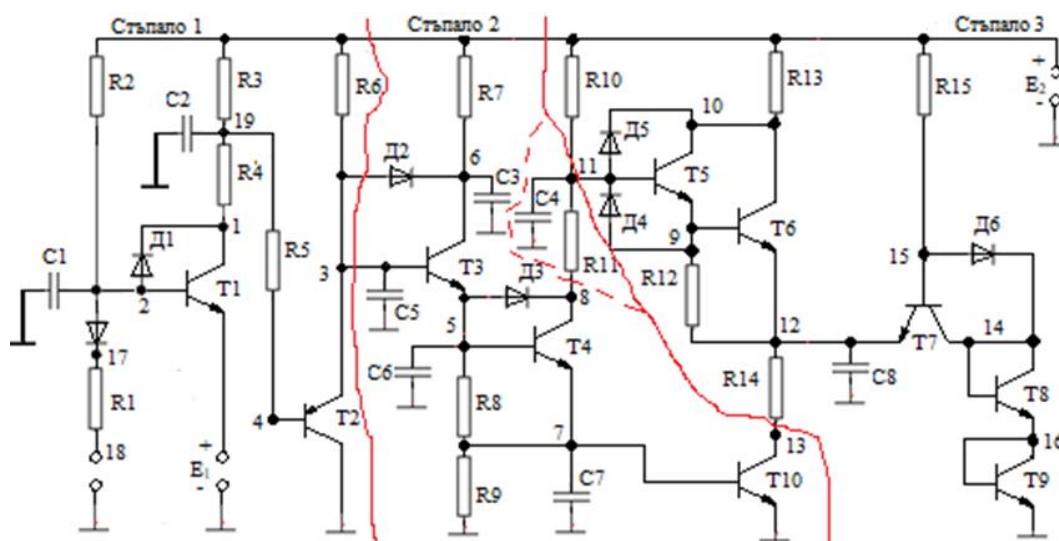
Разделянето спрямо алгоритъма с припокриване е реализирано за различни стойности на m_{max} (максимален брой върхове в отделните подграфи). На фиг. 6. е представено декомпозирането на схемата от фиг. 1. при $m_{max}=10$. В този случай графовият модел се разделя на два подграфа с един външен връх 5.



Фигура 6. Разделяне на схемата спрямо алгоритъма с неприпокриване при $m_{max}=10$

При $m_{max}=6$ и $m_{max}=7$, графовият модел се разделя на три подграфа. И при двете декомпозиции се получават по три външни върхове. При $m_{max}=6$ това са (3,11,13), а при $m_{max}=7$ това са (3,8,13).

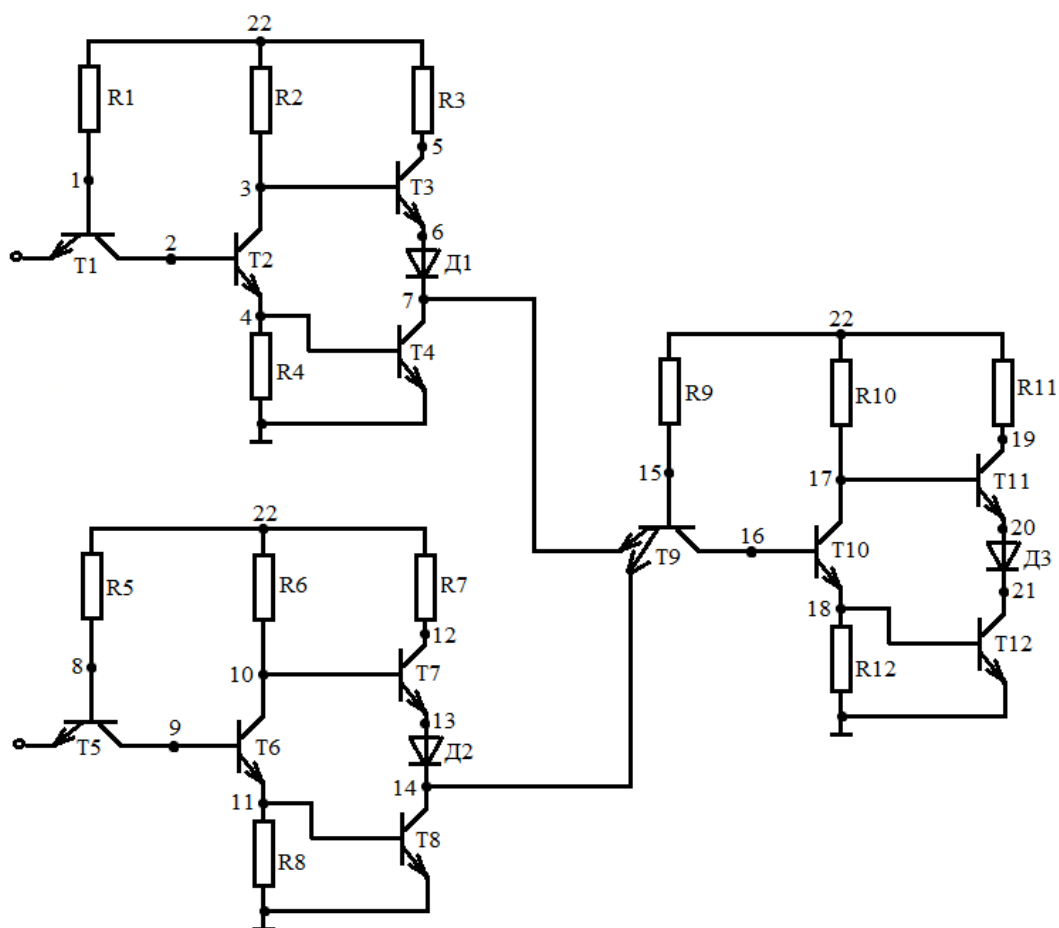
На фиг. 7. е отразена декомпозицията на схемата от фиг. 1. за двете стойности на m_{max} . Разликата в получените като решения подсхеми е отразена с пунктирна линия.



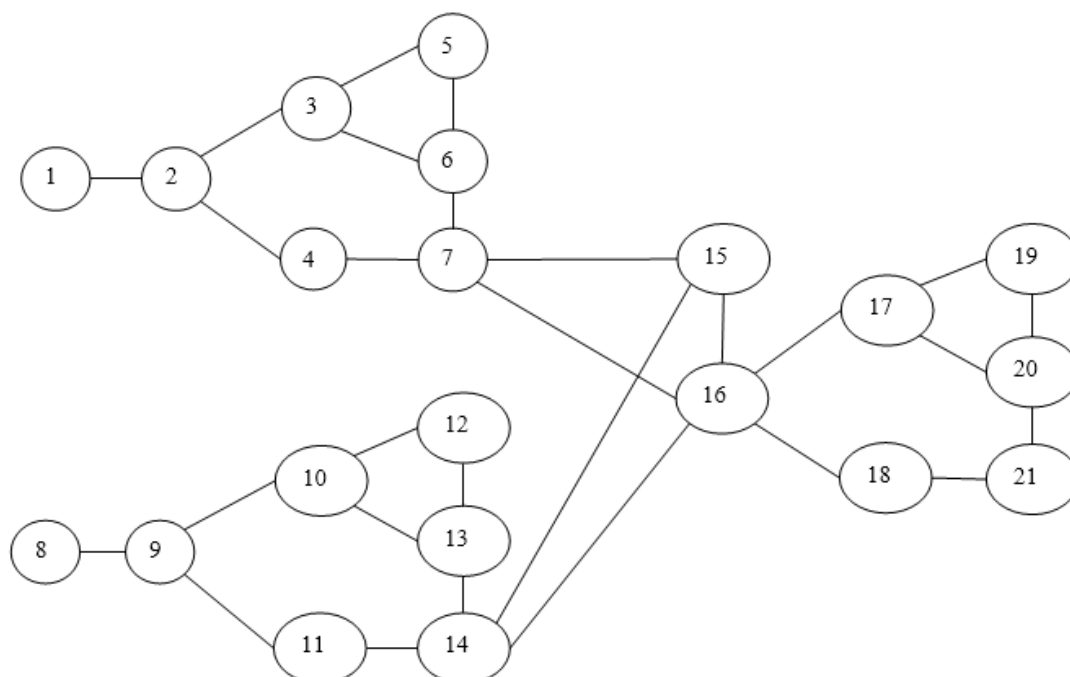
Фигура 7. Разделяне на схемата спрямо алгоритъма с неприпокриване при $m_{max}=6$ и 7.

Разделяне на електронна схема на ТТЛ вентили.

Алгоритмите с припокриване и неприпокриване са приложени и за разделяне на схемата от фиг. 8. и нейният графов модел е представен на фиг. 9.



Фигура 8. Ел. схема на ТТЛ вентили



Фигура 9. Графов модел отразяващ структурата на схемата на ТТЛ вентили

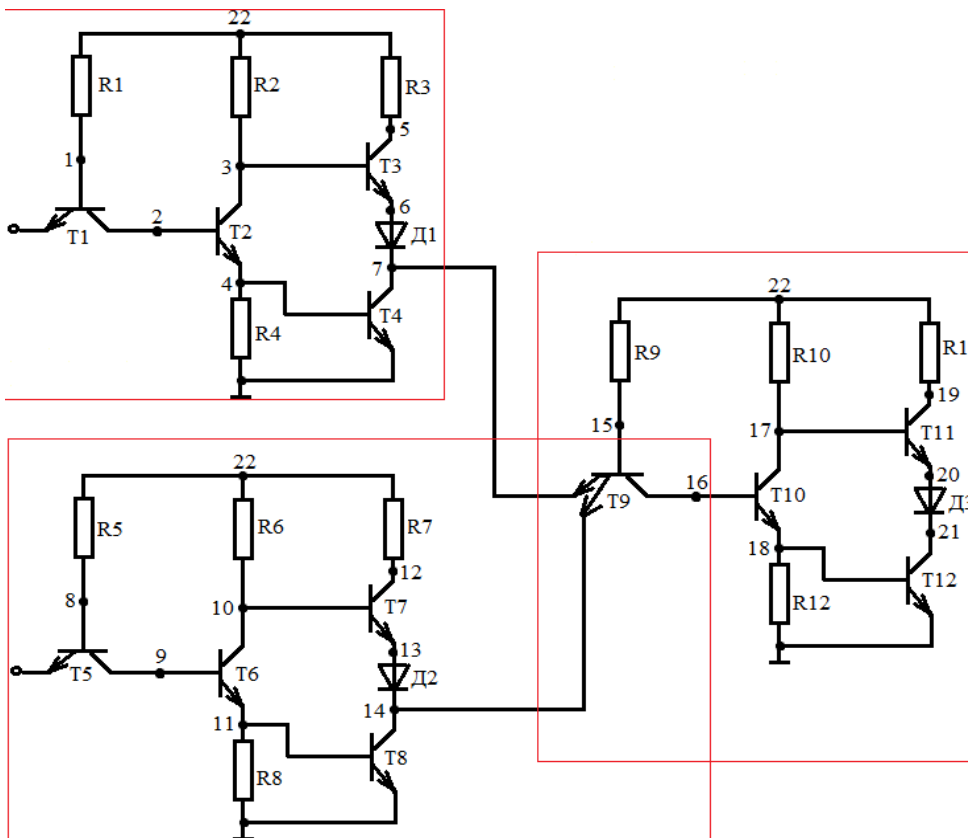
Получените резултати от използването на разработените приложения са показаните на фиг. 10.

```

Command Window
>> priokrivane
Графа има следните върхове: G = 1:21
Матрицата на съседство за графа е: R =R
Общите върхове между подграфи G1 и G2 са: 7
Графа G1 съдържа следните върхове: 1 2 4 3 5 6 7
Общите върхове между подграфи G2 и G3 са: 16
Графа G2 съдържа следните върхове: 7 15 14 11 9 8 10 12 13 16
Графа G3 съдържа следните върхове: 16 18 21 17 19 20
Elapsed time is 0.078464 seconds.
>>
>> nepriokrivane
Графа има следните върхове: G = 1:21
Матрицата на съседство за графа е: R =R
Въведете максималния брой върхове за подграф: Mmax=10
Графа G1 съдържа следните върхове: 1 2 4 3 5 6
Външните върхове са: 7
Графа G2 съдържа следните върхове: 8 9 11 10 12 13
Външните върхове са: 14
Графа G3 съдържа следните върхове: 15 16 17 18 19 20 21
Elapsed time is 0.015699 seconds.
    
```

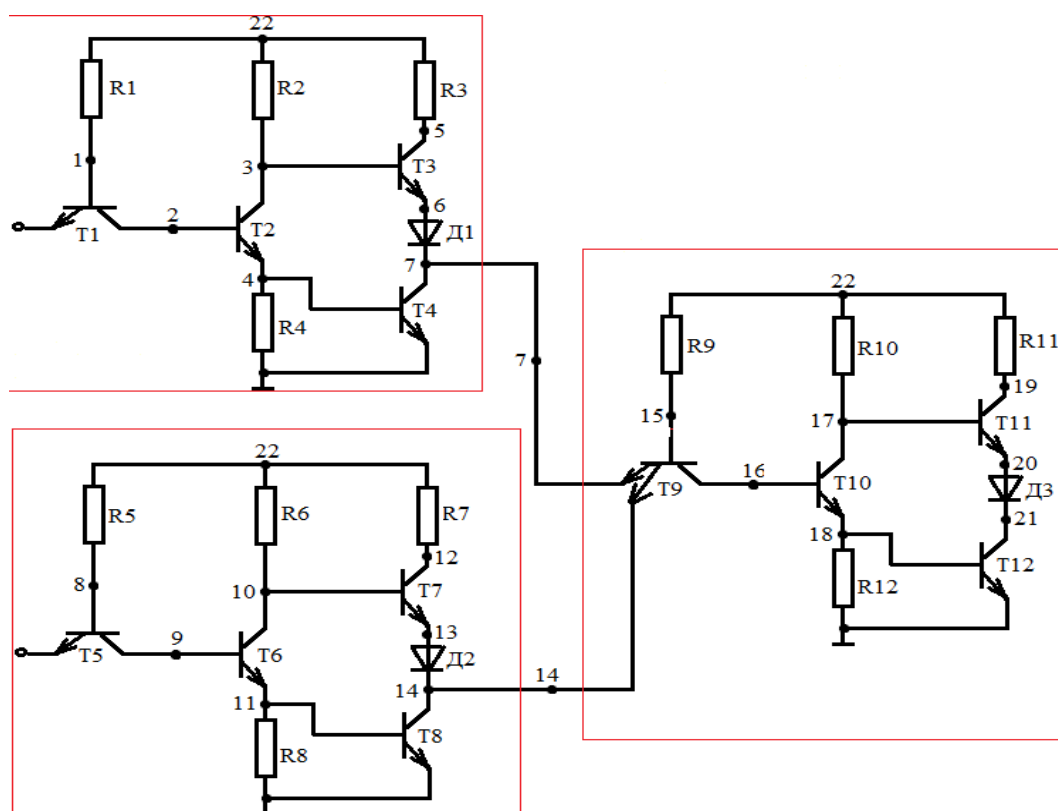
Фигура 10. Резултат от разделянето спрямо MATLAB приложенията

При прилагане на алгоритъмът с припокриване, графовият модел се разделя на 3 подграфа, респективно схемата от фиг. 8. – на три подсхеми, както е показано на фиг. 11.



Фигура 11. Разделяне на схемата спрямо алгоритъма с припокриване

Алгоритъмът без припокриване е приложен при различни стойности на m_{max} . При $m_{max}=10$ се получава декомпозицията на схемата представена на фиг. 12.



Фигура 12. Разделяне на схемата спрямо алгоритъма с неприпокриване

Изводи

Анализът на получените резултати при декомпозицията на схеми на подсхеми по използваните алгоритми дава възможност да се направят следните изводи:

- Алгоритъмът с припокриване разделя схемата на логически обособени модули, докато алгоритъмът с неприпокриване невинаги прави това.
- По алгоритъма с неприпокриване се получават повече варианти за разделянето на схемата.
- Не е необходимо отчитането на паралелните връзки в структурата на схемите при построяването на графовия модел.

Заклучение

В настоящия доклад са представени част от получените резултати от приложението на последователните декомпозиционни алгоритми при разделяне на електроните схеми на подсхеми. Процеса на разделяне е извършен чрез разработените за целта програмни приложения за използваните алгоритми. От получените резултати са изведени изводи за приложимостта на използваните алгоритми. Получените резултати и изводи могат да се използват при моделиране и

изследване на големи и сложни схеми, както и при задачи, които налагат необходимостта от използване на принципа на декомпозиция.

Благодарности

Този доклад е подготвен и осъществен като част от проект № 2209Е „Виртуална лаборатория за обучение по проектиране на цифров хардуер - II етап“, финансиран от средствата по бюджета за научни изследвания на Технически университет – Габрово.

References // Литература

- [1] Dinev, M. (2016). “Structural decomposition of graphs models”, International scientific conference UNITECH’2016 – Gabrovo, 18-19 November 2016, Volume II, ISSN 1313-230X, pp. 215-218, 2016.
- [2] Dinev, M.; Kukenska, V. (2018). “Comparison of decomposition algorithms”, Fifth international scientific conference “Computer Sciences and Engineering”, Varna, 28-29 September 2018, Number 2, ISSN 1312-3335, pp. 29-33, 2018.
- [3] Hristov, M.; Radanov, R.; Donchev, B.; Mihailov, K.; Pukneva, D.; Antonova, O.; Arabadzhiev, D. (2004). “Manual for laboratory exercises on Design Systems in Microelectronics”, Sofia, 2004.
- [4] Kukenska, V.; Dinev, M.; Minev, P.; Varbov, I. (2022). “Using the principle of decomposition in functional and structural design”, International scientific conference UNITECH’2022 – Gabrovo, 18-19 November 2022, Volume I, ISSN 1313-230X, pp. 318-323, 2022.
- [5] Kukenska, V.; Minev, P. (2016). “Automation of engineering work”. University Publishing House “Vasil Aprilov”, Gabrovo, 2016.
- [6] Rajkovska, L.; Gadjeva, E. (2005). “Design automation in electronics and communications”, Meridian 22, Sofia, 2005.

Received: 30-03-2023

Accepted: 29-06-2023

Published: 24-07-2023

Cite as:

Kukenska, V.; Dinev, M.; Minev, P.; Varbov, I. (2023). “Using Sequential Decomposition Algorithms on Electronic Circuits”, Science Series “Innovative STEM Education”, volume 05, ISSN: 2683-1333, pp. 112-120, 2023. DOI: <https://doi.org/10.55630/STEM.2023.0514>